

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

015454726 **Image available**

WPI Acc No: 2003-516868/200349

XRPX Acc No: N03-409821

Light emitting element driving circuit for liquid crystal display, has switches arranged between drain of each thin film transistor and light emitting element, which are switched ON/OFF based on digital gradation data

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003066909	A	20030305	JP 2001258903	A	20010829	200349 B

Priority Applications (No Type Date): JP 2001258903 A 20010829

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2003066909	A	12	G09G-003/30	

Abstract (Basic): JP 2003066909 A

NOVELTY - A switch group (SW1A-SW3A) is provided between the drain of each thin film transistor (TFT1-TFT3) and the light emitting element (P). A controller (1) controls ON/OFF of each switch (SW1A-SW3A) based on the digital gradation data (D0-D2). The switch group (SW1B-SW3B) is provided to determine the ON/OFF of the switches (SW1A-SW3A).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for light emission display device.

USE - For light emission display device (claimed) e.g. liquid crystal display (LCD).

ADVANTAGE - Enables to obtained highly accurate display having improved brightness.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of the light emitting element driving circuit. (Drawing includes non-English language text).

controller (1)

transistors (TFT1-TFT3)

light emitting element (P)

switch groups (SW1A-SW3A, SW1B-SW3B)

pp; 12 DwgNo 1/19

Title Terms: LIGHT; EMIT; ELEMENT; DRIVE; CIRCUIT; LIQUID; CRYSTAL; DISPLAY ; SWITCH; ARRANGE; DRAIN; THIN; FILM; TRANSISTOR; LIGHT; EMIT; ELEMENT; SWITCH; BASED; DIGITAL; GRADATION; DATA

Derwent Class: P85; T04; U14

International Patent Class (Main): G09G-003/30

International Patent Class (Additional): G09F-009/30; G09G-003/20

File Segment: EPI; EngPI

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-66909

(P 2003-66909 A)

(43) 公開日 平成15年3月5日(2003.3.5)

(51) Int.C1.	識別記号	F I	マーク (参考)
G09G 3/30		G09G 3/30	K 5C080
G09F 9/30	338	G09F 9/30	338 5C094
G09G 3/20	611	G09G 3/20	611 A
	612		612 F
	621		621 F

審査請求 未請求 請求項の数19 O L (全12頁) 最終頁に続く

(21) 出願番号 特願2001-258903(P 2001-258903)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成13年8月29日(2001.8.29)

(72) 発明者 安部 勝美

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74) 代理人 100088812

弁理士 △柳川 信

Fターム(参考) 5C080 AA06 BB05 DD05 DD08 DD22

DD26 FF11 JJ02 JJ03 JJ04

5C094 AA02 BA04 CA19 CA25 EA07

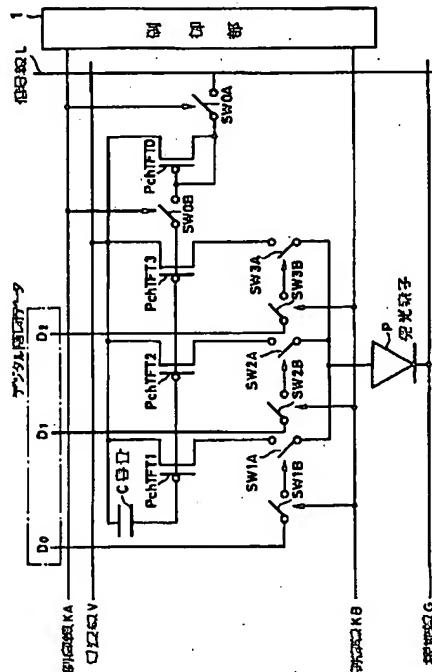
GA10

(54) 【発明の名称】発光素子駆動回路及びそれを用いた発光表示装置

(57) 【要約】

【課題】 高精度な表示が可能であり、周辺駆動回路が簡単に構成できる発光表示装置を提供すること。

【解決手段】 各画素に、ゲートを短絡した電流能力比を持つ複数のトランジスタPchTFT1～3を備える。これにより、複数のトランジスタ各々の電流供給能力が任意の電流値に比例するような状態を記憶した後に、発光素子に電流を供給するか否かを複数のトランジスタのドレインと発光素子の間のスイッチSW1A～SW3Aをデジタル階調データD0～D2に従って、オンオフ制御することで、隣接領域にあるトランジスタの特性ばらつきにしか影響されないような高精度の電流を発光素子に供給することができる。また、階調制御はデジタルデータに従ってスイッチをオンオフすることで行うため、任意の一定電流とデジタルデータを各画素に供給すれば良く、駆動回路は精度の高い多値電流を供給する必要がなくなり、簡単に構成できる。



【特許請求の範囲】

【請求項1】 供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、ゲートとドレインとが短絡されて飽和動作を行い前記複数の駆動トランジスタと共にカレントミラー回路を構成する飽和トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線による前記第一のスイッチ群の各スイッチ素子のオンオフ制御を可能とするか否かを定める複数のスイッチからなる第二のスイッチ群と、前記飽和トランジスタのゲートと前記駆動トランジスタのゲートとの間に設けられた第三のスイッチと、前記飽和トランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第四のスイッチと、前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路。

【請求項2】 前記制御手段は、前記第一のスイッチ群の各スイッチをオフとし、前記第三及び第四のスイッチをオンとする第一の動作状態に制御し、この第一の動作状態において、これ等駆動トランジスタ及び飽和トランジスタを前記信号線からの電流を入力とする前記カレントミラー回路として動作させ、前記駆動トランジスタの各々に前記電流供給能力比に応じた電流を流せるようなゲート電圧を、これ等各トランジスタの共通ゲートに記憶せしめるようにしたことを特徴とする請求項1に記載の発光素子駆動回路。

【請求項3】 供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線による前記第一のスイッチ群の各スイッチのオンオフ制御を可能とするか否かを定める複数のスイッチからなる第二のスイッチ群と、前記駆動トランジスタのうちの一つのトランジスタのゲ

ートとドレインとの間に設けられた第三のスイッチと、前記一つのトランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第四のスイッチと、

前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路。

【請求項4】 前記制御手段は、前記第一のスイッチ群の各スイッチをオフとし、前記第三及び第四のスイッチをオンとする第一の動作状態に制御し、

10 この第一の動作状態において、前記駆動トランジスタを前記信号線からの電流を入力とするカレントミラー回路として動作させ、前記駆動トランジスタの各々に前記電流供給能力比に応じた電流を流せるようなゲート電圧を、これ等各トランジスタの共通ゲートに記憶せしめるようにしたことを特徴とする請求項3に記載の発光素子駆動回路。

【請求項5】 前記制御手段は、前記第三及び第四のスイッチをオフとし、前記第二のスイッチ群の各スイッチをオンとして前記第一のスイッチ群の各スイッチを前記

20 デジタルデータ線によるオンオフ制御を可能とする第二の動作状態に制御し、

この第二の動作状態において、前記デジタルデータ線に前記発光素子の輝度の階調を決定するデジタルデータが印加されることで、前記発光素子に目的の階調に対応する前記発光素子の電流－輝度特性に合った電流を供給できるようにしたことを特徴とする請求項2または4に記載の発光素子駆動回路。

【請求項6】 前記第一のスイッチ群の各スイッチは自己保持機能を有しております、

30 前記制御手段は、前記第二のスイッチ群の各スイッチ、第三及び第四のスイッチをオフとして第三の動作状態に制御し、

この第三の動作状態において、前記第一のスイッチ群の各スイッチの自己保持機能により前記第二の動作状態で決定された目的の階調に対応する電流の供給を維持できるようにしたことを特徴とする請求項5に記載の発光素子駆動回路。

【請求項7】 前記制御手段は、前記第一の動作状態から前記第二の動作状態への移行時において、前記第三のスイッチを前記第四のスイッチよりも早くオフとすることを特徴とする請求項5または6に記載の発光素子駆動回路。

【請求項8】 供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、

互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、

ゲートとドレインとが短絡されて飽和動作を行い前記複数の駆動トランジスタと共にカレントミラー回路を構成する飽和トランジスタと、

前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、

前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、

前記デジタルデータ線の各データをラッチして前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のラッチからなるラッチ群と、

前記飽和トランジスタのゲートと前記駆動トランジスタのゲートとの間に設けられた第二のスイッチと、

前記飽和トランジスタのドレンとこのトランジスタの電流を定める信号線との間に設けられた第三のスイッチと、

前記第一～第三のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路。

【請求項9】 前記制御手段は、前記第一のスイッチ群の各スイッチをオフとし、前記第二及び第三のスイッチをオンとする第一の動作状態に制御し、

この第一の動作状態において、これ等駆動トランジスタ及び飽和トランジスタを前記信号線からの電流を入力とする前記カレントミラー回路として動作させ、前記駆動トランジスタの各々に前記電流供給能力比に応じた電流を流せるようなゲート電圧を、これ等各トランジスタの共通ゲートに記憶せしめるようにしたことを特徴とする請求項8に記載の発光素子駆動回路。

【請求項10】 供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、

互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、

前記駆動トランジスタの各ドレンと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、

前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、

前記デジタルデータ線の各データをラッチして前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のラッチからなるラッチ群と、

前記駆動トランジスタのうちの一つのトランジスタのゲートとドレンとの間に設けられた第二のスイッチと、前記一つのトランジスタのドレンとこのトランジスタの電流を定める信号線との間に設けられた第三のスイッチと、

前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路。

【請求項11】 前記制御手段は、前記第一のスイッチ群の各スイッチをオフとし、前記第二及び第三のスイッチをオンとする第一の動作状態に制御し、

この第一の動作状態において、前記駆動トランジスタを前記信号線からの電流を入力とするカレントミラー回路として動作させ、前記駆動トランジスタの各々に前記電流供給能力比に応じた電流を流せるようなゲート電圧を、これ等各トランジスタの共通ゲートに記憶せしめると共に、前記デジタルデータ線に前記発光素子の輝度の階調を決定するデータを供給するようにしたことを特徴とする請求項10に記載の発光素子駆動回路。

【請求項12】 前記制御手段は前記第二及び第三のスイッチをオフとして第二の動作状態に制御し、

この第二の動作状態において、前記第一のスイッチ群の各スイッチが、前記ラッチの記憶した前記第一の動作状態で供給された前記階調を決定するデジタルデータによる制御されることで、前記発光素子に目的の階調に対応する前記発光素子の電流－輝度特性に合った電流を供給できることを特徴とする請求項9または11に記載の発光素子駆動回路。

【請求項13】 前記発光素子が表示する階調に変更がない場合には、前記デジタルデータ線に前記階調を決定するデジタルデータを供給せず、前記ラッチの記憶したデジタルデータにより前記第一のスイッチ群の各スイッチが制御されることで、前記発光素子に目的の階調に対応する前記発光素子の電流－輝度特性に合った電流を供給できることを特徴とする請求項12記載の発光素子駆動回路。

【請求項14】 前記制御手段は、前記第一の動作状態から前記第二の動作状態への移行時において、前記第二のスイッチを前記第三のスイッチよりも早くオフとすることを特徴とする請求項12または13に記載の発光素子駆動回路。

【請求項15】 前記信号線には、常時、前記階調の最小値に対応した電流以外の一定電流が供給されていることを特徴とする請求項1～14いずれかに記載の発光素子駆動回路。

【請求項16】 前記トランジスタ及びスイッチはポリシリコンTFT (Thin Film Transistor) であることを特徴とする請求項1～15いずれかに記載の発光素子駆動回路。

【請求項17】 前記第三及び第四のスイッチは同極性のポリシリコンTFTであることを特徴とする請求項1～6いずれかに記載の発光素子駆動回路。

【請求項18】 前記第二及び第三のスイッチは同極性のポリシリコンTFTであることを特徴とする請求項8～13いずれかに記載の発光素子駆動回路。

【請求項19】 供給電流に応じた輝度で発光する発光素子が複数個マトリックス状に配置されており、これ等発光素子のそれぞれ対応して設けられた請求項1～18いずれかに記載の発光素子駆動回路を含むことを特徴とする発光表示装置。

【0001】

【発明の属する技術分野】本発明は発光素子駆動回路及びそれを用いた発光表示装置に関し、特に供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路及びそれを用いた発光表示装置に関するものである。

【0002】

【従来の技術】供給される電流によって階調表示が可能な発光素子を複数個マトリックス状に配列して、これ等発光素子を制御信号により線順次走査（アクティブ表示）を行う発光表示装置がある。かかる発光表示装置においては、1画素毎に上記の発光素子を設け、これ等各発光素子にそれぞれ対応して駆動回路を配置するようになっている。

【0003】かかる発光表示装置において、階調制御を行う方法として、特開平11-281419号公報に開示のものがある。当該公報において、従来例としてあげられている構成及び動作について、図17及び図19を参照しつつ説明する。図17の回路構成は図19に示した表示装置におけるK行L列目の1画素分の表示部の構成を示している。

【0004】この表示部は、信号線Lと、電源線Vと、接地線Gと、制御線Kと、TFT1 (Thin Film Transistor: 薄膜トランジスタ) と、スイッチSW1と、容量Cと、発光素子Pとにより構成されている。TFT1は、ソース端が接地線Gに接続されており、スイッチSW1は制御線Kにより制御されるものであり、TFT1のゲート端と信号線Lとの間に設けられている。容量CはTFT1のゲート端と接地線Gとの間に設けられており、発光素子PはTFT1のドレン端と電源線Vとの間に設けられている。

【0005】この回路の動作は以下の通りである。第Kラインが選択されて制御線Kに“H（ハイレベル）”の信号が印加されると、図17中のスイッチSW1はオン状態になる。この時、信号線Lには、目的の階調の輝度を得るために、発光素子Pの電流-輝度特性に応じた電流を供給するような電圧が印加され、この電圧がTFT1のゲート端子に印加される。この電圧が容量Cにより保持（記憶）されることで、第Kライン以外の別のラインが選択されてスイッチSW1がオフになった場合も保持される。この動作により、発光素子Pは期待された階調の輝度を保持できるのである。

【0006】この図17に示した回路の問題点は、TFT1は一般にポリシリコンTFTで作成されるのであるが、ポリシリコンTFTはゲート電圧に対する電流能力のばらつきが大きいため、同じ電圧をゲートに印加しても発光素子ごとに供給される電流が異なってしまい、輝度も変わるために、表示装置として画質が低下する点である。

【0007】そこで、上記公報はかかる図17の回路の問題点を改善したものであり、図18にその回路例を示

10

20

30

40

40

50

している。なお、図18において、図17と同等部分は同一符号にて示している。図18においても、図19におけるK行L列目の1画素分の表示部構成を示している。この表示部は、信号線L、電源線V、接地線G、制御線K、TFT1, 2、スイッチSW1, 2、容量C、発光素子Pにより構成されている。

【0008】TFT1は、ソース端が接地されており、TFT2は、ソース端が接地され、ゲート端ードレイン端間がショートされており、スイッチSW1は制御線Kにより制御され、信号線LとTFT2のドレイン端との間に設けられている。スイッチSW2は制御線Kにより制御され、TFT1, 2のゲート端間に設けられている。容量CはTFT1のゲート端と接地線Gとの間にあり、発光素子PはTFT1のドレイン端と電源線Vとの間に設けられている。

【0009】この回路の動作は、以下の通りである。第Kラインが選択されて制御線Kに“H”的信号が印加されると、スイッチSW1, 2はオン状態になる。この時、信号線Lには、目的の階調の輝度を得るために、発光素子Pの電流-輝度特性に応じた電流を流す。この電流はTFT2のドレイン-ソース間に流れ、TFT2はゲートードレイン端子がショートされているために、ゲート電圧はTFT2トランジスタが飽和領域で本電流を流すような電圧に設定される。TFT1はTFT2と同じ特性である場合、TFT1にはTFT2と同じ電流、つまり信号線Lに流れる電流と同じ電流が流れ発光素子Pに供給される。

【0010】この後、第Kライン以外の別のラインが選択された場合でも、容量Cによりゲート電圧が保持（記憶）されることで、TFT1は上記と同一の電流を発光素子Pに供給し、発光素子Pは期待された階調の輝度を保持できるのである。

【0011】上記例では、信号線Lに発光素子Pの電流-輝度特性に応じた電流を供給するのであるが、単一の画素ではなく、表示装置として、例えば64階調の表示を実現するためには、列毎のばらつきなしに高精度の64レベルの電流を供給しなければ、列毎の表示画質が低下する。つまり、多出力・多階調・高精度の電流供給回路を必要とする。

【0012】しかし、液晶表示装置向けに多出力・多階調・高精度の電圧を出力できる駆動回路（ドライバ）は考案されているが、電流を供給するような駆動回路はほとんど考案されておらず、また、集積回路上に実現するのが難しい。また、最も低い輝度に対応する暗表示での電流値は、明表示に比べ非常に小さい。そのため、暗表示の場合、明表示に比べ、信号線Lや表示素子Pの持つ容量負荷Cを充電するのに時間がかかり、電流を記憶する時間が増大する。従って、高精細表示では、1ラインの選択期間が短くなり、暗表示に対応する電流を記憶す

ることができなくなることがある。

【0013】

【発明が解決しようとする課題】供給電流により輝度が決まるような発光素子を使用した表示装置において、第1の問題点は、ポリシリコンTFTのゲート電圧によって変動する電流能力を利用して、ポリシリTFTのゲート電圧に印加する電圧を調整することで、発光素子に供給する電流を決める方式の表示装置では、輝度にばらつきが現れやすい点である。その理由は、ポリシリコンTFTの場合、ゲート電圧と電流能力がばらつきやすく、同じ電圧を印加しても発光表示素子に供給する電流が異なるためである。

【0014】第2の問題点は、電流供給駆動によって上記ばらつきを減らすことができるが、そのためには、多出力・多階調・高精度の電流供給する駆動回路が必要な点である。その理由は、多出力・多階調・高精度の電流供給する駆動回路は、現状ほとんど存在せず、集積回路上に実現するのが難しいためである。

【0015】第3の問題点は、電流供給駆動の場合、最も低い輝度を表示する場合には、最も低い値の電流値を供給する必要があるが、電流値が低いため、その電流値を記憶するのに必要な時間が長くなる点である。その理由は、特定の電流値を記憶する場合、その電流により配線の容量負荷や、ポリシリコンTFTの持つ容量負荷を充電する必要があるが、その充電するスピードは、電流値に反比例するためである。

【0016】本発明の目的は、高精度な表示を可能とすると共に、動作の高速化、構成の簡易化、消費する電力の低下をも実現し得る発光素子駆動回路及びそれを用いた発光表示装置を提供することである。

【0017】

【課題を解決するための手段】本発明によれば、供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、ゲートとドレインとが短絡されて飽和動作を行い前記複数の駆動トランジスタと共にカレントミラー回路を構成する飽和トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチ素子からなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線による前記第一のスイッチ群の各スイッチのオンオフ制御を可能とするか否かを定める複数のスイッチからなる第二のスイッチ群と、前記駆動トランジスタのゲートと前記駆動トランジスタのゲートとの間に設けられた第三のスイッチと、前記飽和トランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第四のスイッチと、前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路が得られる。

オンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路が得られる。

【0018】本発明によれば、供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線による前記第一のスイッチ群の各スイッチのオンオフ制御を可能とするか否かを定める複数のスイッチからなる第二のスイッチ群と、前記駆動トランジスタのうちの一つのトランジスタのゲートとドレインとの間に設けられた第三のスイッチと、前記一つのトランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第四のスイッチと、前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路が得られる。

【0019】本発明によれば、供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、ゲートとドレインとが短絡されて飽和動作を行い前記複数の駆動トランジスタと共にカレントミラー回路を構成する飽和トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線の各データをラッチして前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のラッチからなるラッチ群と、前記飽和トランジスタのゲートと前記駆動トランジスタのゲートとの間に設けられた第二のスイッチと、前記飽和トランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第三のスイッチと、前記第一～第三のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路が得られる。

【0020】本発明によれば、供給電流に応じた輝度で発光する発光素子を駆動する発光素子駆動回路であって、互いにゲートが共通接続され前記発光素子に電流を供給すべく所定の電流供給能力比を有する複数の駆動トランジスタと、前記駆動トランジスタの各ドレインと前記発光素子との間にそれぞれ設けられた複数のスイッチからなる第一のスイッチ群と、前記発光素子の輝度の階調を決定すべく前記第一のスイッチ群の各スイッチのオンオフ制御をなす複数のデジタルデータ線と、前記デジタルデータ線の各データをラッチして前記第一のスイッ

チ群の各スイッチのオンオフ制御をなす複数のラッチからなるラッチ群と、前記駆動トランジスタのうちの一つのトランジスタのゲートとドレインとの間に設けられた第二のスイッチと、前記一つのトランジスタのドレインとこのトランジスタの電流を定める信号線との間に設けられた第三のスイッチと、前記第一～第四のスイッチのオンオフ制御をなす制御手段とを含むことを特徴とする発光素子駆動回路が得られる。

【0021】上記のように構成された本発明においては、ポリシリコンTFTにばらつきが存在しても、画素ごとに電流を記憶するため、発光素子には精度の高い電流を供給することができ、高精度な発光表示装置を提供することができる。また、階調表示はデジタル信号により制御でき、供給する電流値は1種類のみであるため、装置全体、特に駆動回路（ドライバ）の構成も簡単になる。さらに、記憶する電流値を、階調表示に必要な最も小さな電流値である必要がなく、中間レベルや最大の電流値とすることが可能であり、また、常に一定の値なので変化分だけ充電すればよいため、負荷に充電する時間を短くすることができ、それに伴い電流を記憶する時間も短縮できる。さらにはまた、各画素にラッチ回路を設けることで、同一階調を表示する場合にはデジタルデータの書き込みをする必要がなくなるため、消費電力を少なくすることができる。

【0022】

【発明の実施の形態】以下に図面を参照しつつ本発明の実施の形態につき説明する。以下の全ての説明においては、輝度表示の階調度を“ $8 = 2 \text{ の } 3 \text{ 乗}$ ”とするが、一般的には、 $2 \text{ の } n \text{ 乗}$ の階調度に適用されることはある。

【0023】図1は本発明の第一の実施の形態を示す図である。本発明の実施の形態は、K行L列目の画素の表示部として、4個のP（チャネル）型ポリシリコン薄膜トランジスタPchTFT0～3と、第一のスイッチ群SW1A～3Aと、第二のスイッチ群SW1B～3Bと、2個のスイッチSW0A、SW0Bと、制御線KAと、制御線KBと、信号線Lと、3本のデータ線D0～D2と、電源線Vと、接地線Gと、発光素子Pとを備える。また、図では、電圧保持用容量CをPchTFT1～3のゲート端子と電源線Vとの間に備えるように示しているが、TFT素子のゲート浮遊容量を当該容量Cとして用いても良く、別に容量を付加しても良い。

【0024】PchTFT1～3は、全ゲート端子が共通接続されており、全ソース端子の電位も同電位とし、ドレン端子には各々スイッチSW1A～3Aの一端が接続されている。スイッチSW1A～3Aの他端は短絡されており、発光素子Pの一端に接続されており、スイッチSW1A～3Aは、各々制御線KBによって制御されるスイッチSW1B～3Bを通して、データ線D0～D2によって制御される。

【0025】発光素子Pの他の一端は接地線Gと接続されている。また、PchTFT1～3の各々の電流供給能力比は、発光素子Pの電流－輝度特性が一般に比例関係にあるため、1：2：4とする。PchTFT0はPchTFT1～3のうち最も電流能力の大きなPchTFT3と同じ電流供給能力を持ち、PchTFT0のソース端子はPchTFT1～3のソース端子と同電位とし、ゲート端子とドレン端子とは短絡されている。

【0026】スイッチSW0Aは信号線LとPchTFT0のドレイン端子との間に設けられており、制御線KAにより制御される。スイッチSW0BはPchTFT0のゲート端子とPchTFT1～3のゲート端子との間に設けられており、制御線KAによって制御される。制御線KAとKBとは制御部1により制御されるものとする。

【0027】図1に示した回路の動作を図2のタイミングチャートに従い説明する。ただし、各々のスイッチは制御信号が“H”の場合オン、“L（ローレベル）”の場合オフとする。

【0028】第一の動作状態である電流記憶期間では、制御線KAと制御線KBとを“H”とし、データ線D0～D2を“L”とする。従って、スイッチSW0A、SW0B、SW1B～3Bはオン、スイッチSW1A～3Aはオフとなる。また、信号線Lには、発光素子Pの電流－輝度特性より、0～7階調の内の、例えば4階調目の電流が流れるようにする。この時、PchTFT0のゲート電圧とドレン電圧、PchTFT1～3のゲート電圧は同電位であり、4階調目に対応する電流がPchTFT0に流れよう電圧が加えられる。PchTFT0とPchTFT1～3とはカレントミラーハウス構成であるために、PchTFT0の電流に対し、1/4：1/2：1の電流を流すことができる状態になっている。

【0029】第二の動作状態である階調決定期間では、制御線KAを“L”、制御線KBを“H”とする。この時、スイッチSW0A、SW0Bはオフ、スイッチSW1B～3Bはオンとなる。また、データ線D0～D2は、図3に示すように、表示したい階調に従って“H”又は“L”として、スイッチSW1A～3Aをオン／オフする。例えば、0階調を表示する場合には、データ線D0～D2を“L”とすることで、発光素子Pに供給される電流は

0、つまり0階調となる。2階調の表示には、D0、D1を“H”、D2を“L”とすることで、4階調目の電流の3/4倍、つまり3階調目に対応する電流を発光素子Pに供給できる。また、7階調を表示する場合には、D0～D2を“H”とすることで、4階調目の電流の7/4倍、つまり7階調目に対応する電流を発光素子Pに供給できる。

【0030】第三の動作状態である出力期間では、制御線KAと制御線KBを“L”とする。この時、スイッチSW1A～3Aは、自己保持機能を有するスイッチであるものとすると、階調決定時の状態を保持し、発光素子Pに

は階調決定時で選択された電流が供給されるため、発光素子Pは期待された階調にて発光を維持することになる。これ等スイッチSW1A～3Aとして、後述するように、ポリシリコンTFTを使用すれば、そのゲート端には容量が形成されるので、この容量により自己保持が可能である。また、上記ポリシリコンTFTのゲートと一定電位の間に適当な容量値を持つ容量を備えることで、前記ポリシリコンTFTのゲート端に形成される容量を使用した場合よりもより安定な自己保持機能が実現できる。

【0031】なお、スイッチSW1A～3Aは、第一の動作状態の初期時において、制御部1によって強制的に自己保持機能がリセットされ、全てオフ状態にリセットされるものとする。

【0032】以上のような動作を行うことにより、隣接領域にあるPchTFT0～PchTFT3の特性ばらつきにしか影響されない精度の高い電流を、発光素子Pに供給することができるため、高精度な表示が可能となる。また、記憶される電流値は最も低い階調に対応する電流値に比べ十分高く、配線などの負荷を充電する時間は最も低い階調により充電する時間よりも短時間ですみ、常に一定値であるため、記憶動作が高速になり第一の動作状態の電流記憶期間を短縮できる。さらに、記憶される電流値は、単一レベルであり、階調制御はデジタル動作により行われるため、簡単な構成の駆動回路（ドライバ）により、画素部を制御できる。

【0033】次に、図1に示した第一の実施の形態における具体的な実施例を図4に示し、その動作タイミングチャートを図5に示す。本実施例は、第一のスイッチ群(SW1A～SW3A)、第二のスイッチ群(SW1B～SW3B)、2個のスイッチ(SW0A、SW0B)として、それぞれPchポリシリコンTFTを使用した(PchTFT1-2～3-2、PchTFT1-3～3-3、PchTFT0-2、PchTFT0-3)ものである。本実施例では、PchTFTを用いているため、図1の回路例の動作タイミングチャート(図2参照)に対して、制御線の“H”、“L”が逆となっている。また、入力デジタルデータD0～D2と階調度との関係を図6に示す。入力デジタルデータも上述のデータに対し“H”、“L”が逆となっている。動作の意味する内容は、先の例と同じである。

【0034】本発明の第一の実施の形態における他の具体的な実施例を図7に示し、その動作タイミングチャートを図8に示す。本実施例では、上述の実施例におけるスイッチングノイズの影響を最小限に抑えるために制御線を追加している。その他の構成要素は図4に示した実施例と同じである。本実施例では、3本の制御線KA、KB、KCを備え、制御線KAによりPchTFT0-2のゲート電圧を制御し、制御線KBによりPchTFT0-3を制御し、制御線KCによりPchTFT1-3～3-3を制御する。これ等各制御線の制御は制御部1により行われる。

【0035】本実施例において、第一の動作状態である電流記憶期間は制御線KCの立ち上げ、PchTFT0-3をOFF状態にすることにより終了し、その後制御線KAを立ち上げ、PchTFT0-2をOFFとする。その後の動作は上述の図4の実施例と同じである。

【0036】本実施例では、第一の動作状態の終了時ににおいて、制御線KAはまだ“L”状態であり、PchTFT0-2によるスイッチングノイズは、記憶される電流に影響を与えない。従って、本実施例において記憶される電流は、上述の図4の実施例と比べ精度を高くすることができる。

【0037】本発明の第一の実施の形態の具体的な更に他の実施例を図9に示す。本実施例は、第一の実施例でPチャネルポリシリコンTFTを使用した代わりに、NチャネルポリシリコンTFTを備えたものである。従つて、上述の図4の実施例にて、PchTFT0～3の代わりに、NchTFT0～3を備える。また、図4の実施例における電源線から接地線までの発光素子、第一のスイッチ群(SW1A～3A)、NchTFT0～3の順序が、本実施例では逆の順序となっている。本実施例における動作タイミングチャートを図10に示す。スイッチ動作の意味するところは、第一の実施例と同じである。

【0038】また、図7の実施例のPchTFTの代わりに、同様に、NchTFTを用いて同じ機能を実現できる。この場合も、制御信号と入力デジタルデータは信号を反転し、“H”的代わりに“L”、“L”的代わりに“H”とすれば良いことになる。

【0039】本発明の第二の実施形態を図11に示す。本例でも、K行L列目の画素の表示部として、3個のP型ポリシリコン薄膜トランジスタPchTFT0～nと、3個の第一のスイッチ群SW1A～SW3Aと、3個の第二のスイッチ群SW1B～SW3Bと、2個のスイッチSW0A、SW0Bと、制御線KAと、制御線KBと、信号線Lと、3本のデータ線D0～D2と、電源線Vと、接地線Gと、発光素子P、制御線を制御するための制御部1とを備える。ただし、電圧保持用容量CはPchTFT1～3のゲート浮遊容量でも良く、またこれ等PchTFT1～3のゲート端子と一定電位との間に、積極的に設ける場合がある。

【0040】PchTFT1～3は、全ゲート端子が共通接続されており、全ソース端子の電位も同電位とし、ドレン端子には各々スイッチSW1A～3Aの一端が接続されている。スイッチSW1A～3Aの他端は短絡され、発光素子Pの一端に接続されており、スイッチSW1A～3Aは、各々制御線KBによって制御されるスイッチSW1B～3Bを通して、データ線D0～D2によって制御される。発光素子Pの他の一端は接地線Gと接続される。また、PchTFT1～3の各々の電流供給能力比は、発光素子Pの電流～輝度特性が一般に比例関係にあるため、1：2：4とする。

50 【0041】スイッチSW0Aは信号線LとPchTFT3のド

レイン端子との間に設けられており、制御線KAにより制御される。スイッチSW0BはPchTFT3のゲート端子とドレイン端子との間に設けられており、制御線KBによって制御される。

【0042】この回路の動作タイミングチャートを図12に示す。ただし、各々のスイッチは制御信号が“H”の場合オン、“L”の場合オフとする。第一の動作状態である電流記憶期間では、制御線KAと制御線KBとを“H”とし、データ線D0～D2を“L”とする。従って、スイッチSW0A、SW0B、SW1B～3Bはオン、スイッチSW1A～3Aはオフとなる。また、信号線Lには、発光素子Pの電流-輝度特性より、0～7階調の内の4階調目の電流が流れるようにする。この時、PchTFT3は、ゲート-ドレイン間が短絡されているため飽和領域で動作し、4階調目に対応する電流が流れよう電圧がゲート端子に蓄積される。PchTFT1～3のゲート電圧は短絡されているため同電位であり、PchTFT1、2はPchTFT3に対しカレントミラー構成となっているため、PchTFT1～3が流すことができる電流比は、4階調目の電流に対し、1/4:1/2:1となっている。

【0043】第二の動作状態である階調決定期間では、制御線KAを“L”、制御線KBを“H”とする。この時、スイッチSW0A、SW0Bはオフ、スイッチSW1B～3Bはオンとなる。また、データ線D0～D2は、図13に示すように、表示したい階調に従って“H”又は“L”として、スイッチSW1A～3Aをオン/オフする。例えば、0階調を表示する場合には、D0～D2を“L”とすることで、発光素子Pに供給する電流は0、つまり0階調となる。3階調の表示には、D0、D1を“H”、D2を“L”とすることで、4階調目の電流の3/4倍つまり3階調目に対応する電流を発光素子Pに供給できる。7階調を表示する場合には、D0～D3を“H”とすることで、4階調目の電流の7/4倍、つまり7階調目に対応する電流を発光素子Pに供給できる。

【0044】第三の動作状態である出力期間では、制御線KAと制御線KBを“L”とする。この時、スイッチSW1A～3Aは、図1の例と同様に、その自己保持機能により階調決定時の状態を保持し、発光素子Pには階調決定時で選択された電流が供給されるため、発光素子Pは期待された階調にて発光を維持するのである。

【0045】以上のような動作を行うことにより、隣接領域にあるPchTFT1～PchTFT3の特性ばらつきにしか影響されない精度の高い電流を、発光素子Pに供給することができるため、高精度な表示が可能となる。また、記憶される電流値は最も低い階調に対応する電流値に比べ十分高く、配線などの負荷を充電する時間は、最も低い階調により充電する時間よりも短時間ですみ、常に一定電流値であるため、記憶動作が高速になり第一の動作状態の電流記憶期間を短縮できる。さらに、この記憶される電流値は、単一レベルであり、階調制御はデジタル動

作により行われるため、簡単な構成の駆動回路（ドライバ）により、画素部を制御できる。

【0046】本実施の形態は、上述の第一の実施の形態に比べ、TFTの数が少ない構成である。さらに、PchTFT3は、信号線Lに流れる電流を記憶し、発光素子Pにそのまま供給するため、上述の第一の実施の形態に発光素子に供給する電流の精度も高くなるという特徴を持つ。また、本実施の形態において、上述の第一の実施の形態と同様に、上述した各具体的な実施例に対応する実施例を実現できることは明白である。

【0047】本発明の第三の実施の形態を図14に示す。K行L列目の画素の表示部として、4個のPチャネルポリシリコン薄膜トランジスタPchTFT0～3と、3個の第一のスイッチ群SW1A～3Aと、3個のラッチL1～L3と、2個のスイッチSW0A、OBと、制御線Kと、信号線Lと、3本のデータ線D0～D2と、電源線Vと、接地線Gと、発光素子Pと、制御部1とを備える。ただし、電圧保持用容量Cについては、上述した各実施の形態の場合と同様である。

【0048】図15に本実施の形態で使用するラッチの例を示しており、3個のインバータと、ノアゲートと、スイッチとからなる周知の構成であり、その詳細は省略する。なお、図15におけるスイッチは制御線Kにより制御されるものとする。

【0049】PchTFT1～3は、全ゲート端子が共通接続されており、全ソース端子の電位も同電位であり、ドレイン端子には各スイッチSW1A～3Aの一端が接続されている。スイッチSW1A～3Aの他端は短絡されており、発光素子Pの一端に接続されている。スイッチSW1A～3Aは、制御線Kによって制御されるラッチL1～L3を通して、データ線D0～D2によって制御される。発光素子Pの他の一端は接地線Gと接続されている。また、PchTFT1～3の各々の電流供給能力比は、発光素子Pの電流-輝度特性が一般に比例関係にあるため、1:2:4とする。

【0050】PchTFT0は、PchTFT1～3中最も電流能力の大きなPchTFT3と同じ電流能力を持ち、PchTFT0のソース端子はPchTFT1～3のソース端子と同電位とされ、ゲート端子とドレイン端子は短絡されている。スイッチSW0Aは信号線LとPchTFT0のドレイン端子との間に設けられており、制御線Kにより制御される。スイッチSW0BはTFT0のゲート端子とPchTFT1～3のゲート端子との間に設けられおり、制御線Kによって制御される。

【0051】本実施の形態の動作タイミングチャートを図16に示す。第一の動作状態である電流記憶+階調決定期間では、制御線Kを“H”とする。従って、スイッチSW0A、SW0Bはオン、スイッチSW1A～3Aはオフとなる。また、信号線Lには、発光素子Pの電流-輝度特性より、0～7階調の内の4階調目の電流が流れようする。この時、PchTFT0のゲート電圧とドレイン電

圧、PchTFT1～3 のゲート電圧は同電位であり、4 階調目に対応する電流がPchTFT0 に流れのような電圧が加えられる。

【0052】PchTFT0 とPchTFT1～3 とによりカレントミラーが構成されているため、PchTFT0 の電流に対し、1/4 : 1/2 : 1 の電流を流すことができる状態になっている。一方、データ線D0～D2 は、表示したい階調に従って“H”又は“L”とし、ラッチL1～L3 に表示階調をラッチさせる。

【0053】第二の動作状態である出力期間では、制御線Kを“L”とする。この時、スイッチSW0A、SW0B はOFF、スイッチSW1A～3A は、ラッチL1～L3 にラッチされた階調データに従ってオン／オフする。よって、発光素子P には選択された電流が供給されるため、発光素子は期待された階調にて発光する。

【0054】以上のような動作を行うことにより、隣接領域にあるPchTFT0～PchTFT3 の特性ばらつきにしか影響されない精度の高い電流を、発光素子P に供給することができるため、高精度な表示が可能となる。また、記憶される電流値は最も低い階調に対応する電流値に比べ十分高く、配線などの負荷を充電する時間は最も低い階調により充電する時間よりも短時間ですみ、常に一定値であるため、記憶動作が高速になり第一の動作状態の電流記憶期間を短縮できる。さらに、記憶される電流値は、単一レベルであり、階調制御はデジタル動作により行われるため、簡単な構成の駆動回路（ドライバ）により、画素部を制御できる。

【0055】また、本実施の形態では、ラッチL1～L3 を使用しているため、制御線の数が少なくてすむ。さらに、同じ階調を表示する場合には、デジタルデータを再度書き込む必要がなく、消費電力を少なくすることができます。

【0056】この図14 に示した実施の形態においても、上述した図4 や図7 の TFT によるスイッチ構成や、また、図11 の構成にも同様に適用できることは明白である。その場合には、制御線が上述の例よりも少なく、消費電力を少なくすることができます。

【0057】上記の各実施の態様においては、信号線に流す電流としては、階調度0以外の電流であれば良く、最大電流や、他の階調に対応する電流でも動作を行うことが可能であるが、この場合の電流は、第一の実施の形態や第三の実施の形態におけるPchTFT0 の電流供給能力を記憶する電流に対応する電流とする。この時、電流を記憶するのに必要な時間が、最大の電流の場合に比べ、長くなる。ただし、信号線に流れる電流が小さくなるため、消費電力を少なくすることができます。

【0058】

【発明の効果】第1の効果は、電圧を印加して発光素子の輝度を制御する場合に比べ、高精度な階調表示ができる発光表示装置が可能な点である。その理由は、電流を

記憶するようにすることで、隣接領域にあるポリシリコン薄膜トランジスタの特性ばらつきにしか影響されないためである。

【0059】第2の効果は、従来の電流駆動方法に比べ、発光表示装置全体の構成の簡易化が可能となる点である。その理由は、従来の電流駆動法においては、階調数分の高精度な電流値を各画素に供給する必要があった。本発明では、任意の一種類の電流値のみで良く、階調制御はデジタルデータで行うことができるため、発光表示装置、特に駆動回路（ドライバ）の構成が簡易化される。

【0060】第3の効果は、従来の電流駆動方法に比べ、高速に動作することができる発光表示装置が可能な点である。その理由は、従来の電流駆動法においては、すべての階調に対応する電流を記憶する必要があり、最低の電流値では、配線負荷などへの充電時間が長時間必要であった。本発明では、記憶する電流を前階調の内の中央レベルに設定することができるため、充電時間が短くてすみ、高速動作が可能となる。

【0061】第4の効果は、従来の駆動法よりも、消費電力の少ない発光表示装置が可能な点である。その理由は、階調制御をデジタル制御によって行うため、各画素にラッチを設けることで、同じ画素で同一階調を表示する場合には、再度デジタルデータを書き込む必要がないためである。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態を示す図である。

【図2】図2の動作タイミングチャートである。

【図3】図1の回路のデジタル階調データの例である。

【図4】図1の具体的な実施例を示す図である。

【図5】図4の動作タイミングチャートである。

【図6】図4の回路のデジタル階調データの例である。

【図7】図1の具体的な他の実施例を示す図である。

【図8】図7の動作タイミングチャートである。

【図9】図1の具体的な別の実施例を示す図である。

【図10】図9の動作タイミングチャートである。

【図11】本発明の第二の実施の形態を示す図である。

【図12】図11の動作タイミングチャートである。

【図13】図11の回路のデジタル階調データ例である。

【図14】本発明の第三の実施の形態を示す図である。

【図15】図14のラッチの例を示す図である。

【図16】図14の動作タイミングチャート

【図17】従来の発光表示駆動装置の一例を示す図である。

【図18】従来の発光表示駆動装置の他の例を示す図である。

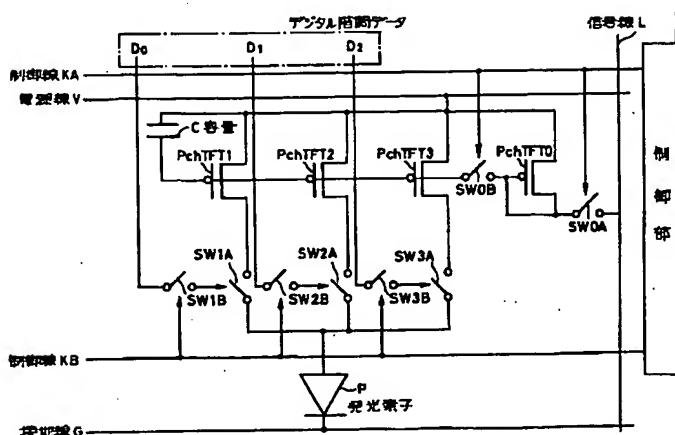
【図19】表示装置の概略図である。

【符号の説明】

L 信号線
 G 接地線
 KA, KB, KC 制御線
 P 発光素子
 V 電源線
 D0 ~ D2 デジタル階調データ

PchTFT0 ~ PchTFT3, PchTFT1-2 ~ PchTFT3-2, PchTFT1-3 ~ PchTFT3-3 P型薄膜トランジスタ
 NchTFT0 ~ NchTFT N型薄膜トランジスタ
 C 容量
 SW0A, SW0B, SW1A~SW3A, SW1B~SW3B スイッチ
 デジタル階調データ

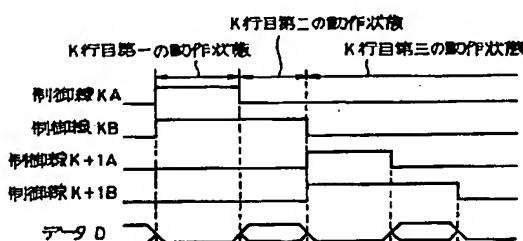
【図 1】



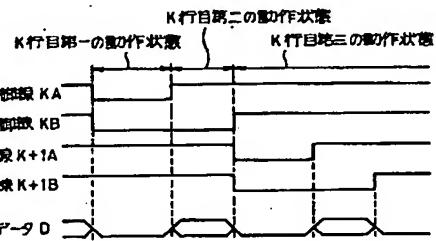
【図 3】

デジタル階調データ		
階調	D0	D1
0	L	L
1	H	L
2	L	H
3	H	H
4	L	L
5	H	L
6	L	H
7	H	H

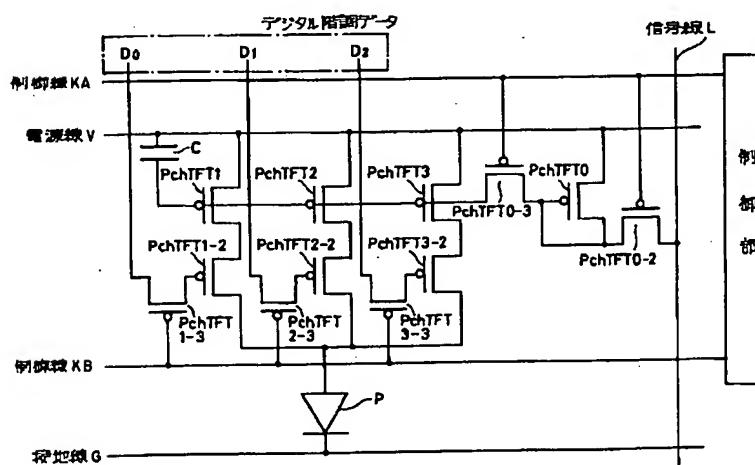
【図 2】



【図 5】



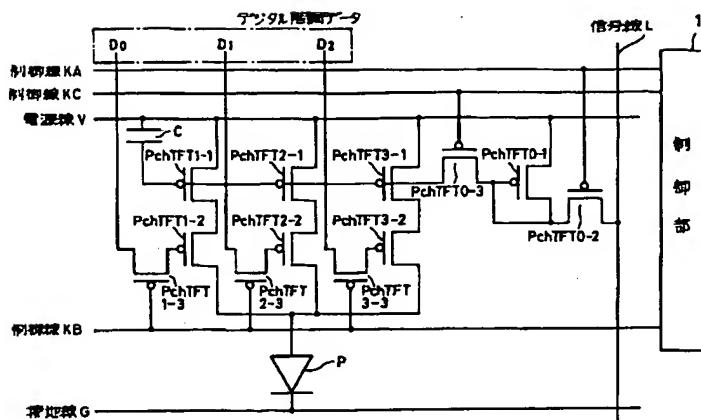
【図 4】



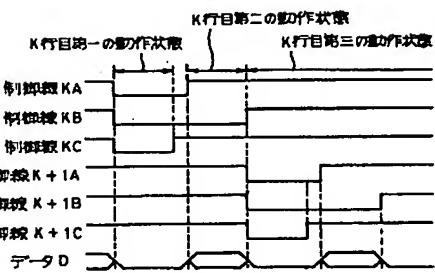
【図 6】

デジタル階調データ		
階調	D0	D1
0	H	H
1	L	H
2	H	L
3	L	L
4	H	H
5	L	H
6	H	L
7	L	L

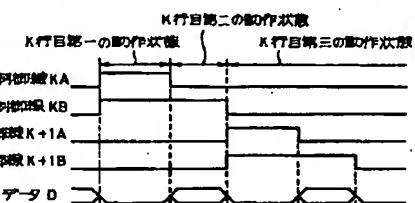
【図7】



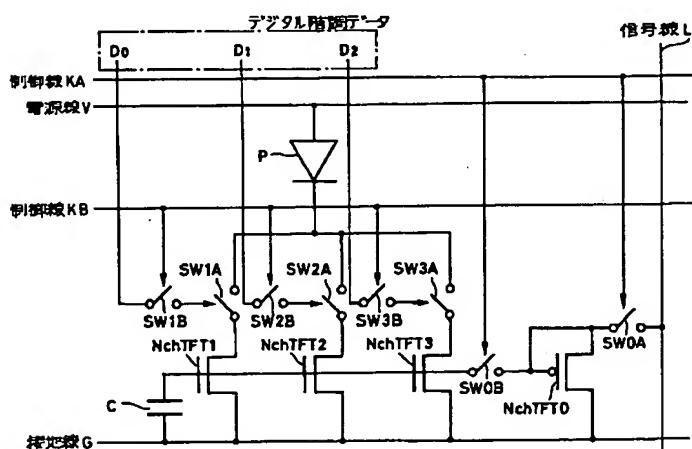
【図8】



【図12】



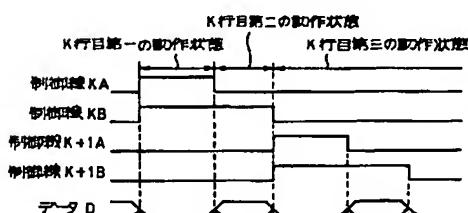
【図9】



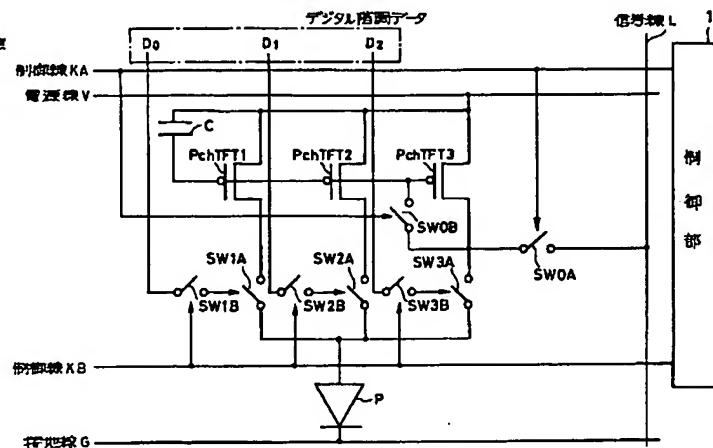
【図13】



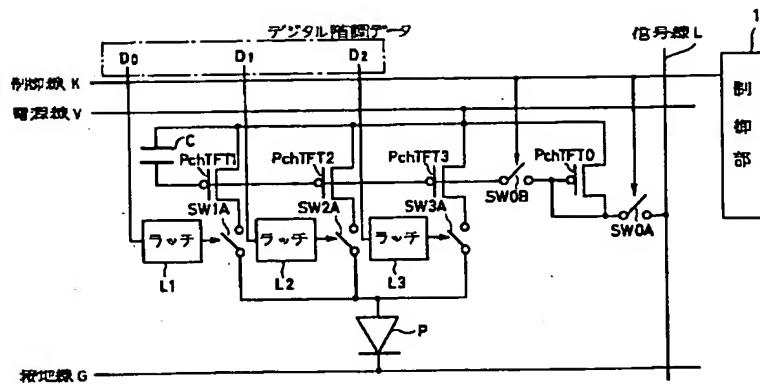
【図10】



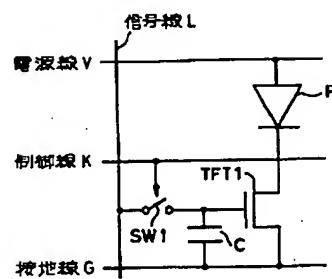
【図11】



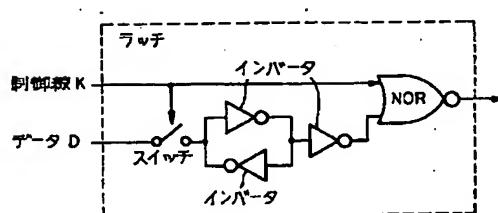
【図14】



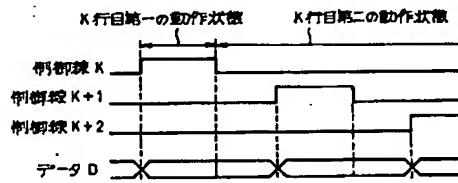
【図17】



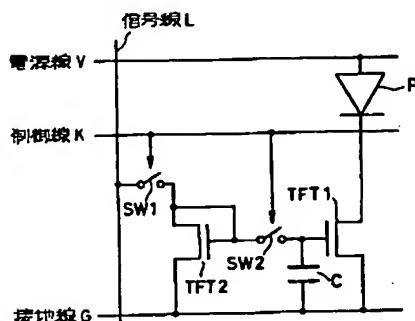
【図15】



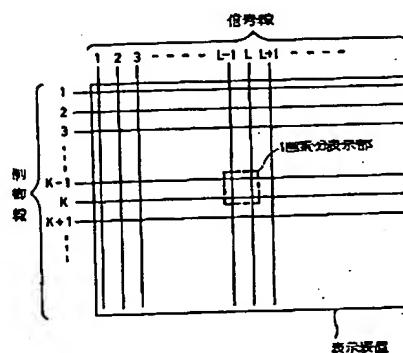
【図16】



【図18】



【図19】



フロントページの続き

(51) Int.CI.

G 0 9 G 3/20

識別記号

6 2 4

6 4 1

F I

G 0 9 G 3/20

テマコード(参考)

6 2 4 B

6 4 1 D